

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-243862
(43)Date of publication of application : 08.09.2000

(51)Int. Cl.

H01L 23/12

(21)Application number : 11-038950

(71)Applicant : SONY CORP

(22)Date of filing : 17.02.1999

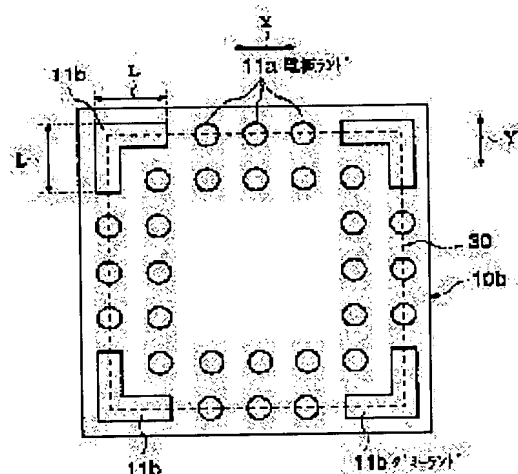
(72)Inventor : YAMADA TAKASHI

(54) INTERPOSER BOARD

(57) Abstract:

PROBLEM TO BE SOLVED: To enhance an interposer board in bonding strength to a circuit board.

SOLUTION: A semiconductor chip 30 is mounted on one surface 10a of an interposer board, and lands which are bonded to a circuit board are formed on the other surface 10b. In this case, the lands are composed of electrode lands 11a electrically connected to the circuit board and dummy lands 11b which are each larger in area than the electrode land 11a and formed only on the regions of the interposer board that correspond to the four corners of the semiconductor chip 30 mounted on the interposer board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-243862
(P2000-243862A)

(43) 公開日 平成12年9月8日(2000.9.8)

(51) Int.Cl.
H 0 1 L 23/12

識別記号

F I
H 0 1 L 23/12

テ-ミ-ト* (参考)
L

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平11-39950

(22) 出願日 平成11年2月17日(1999.2.17)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(72) 発明者 山田 尚

東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内

(74) 代理人 100096806

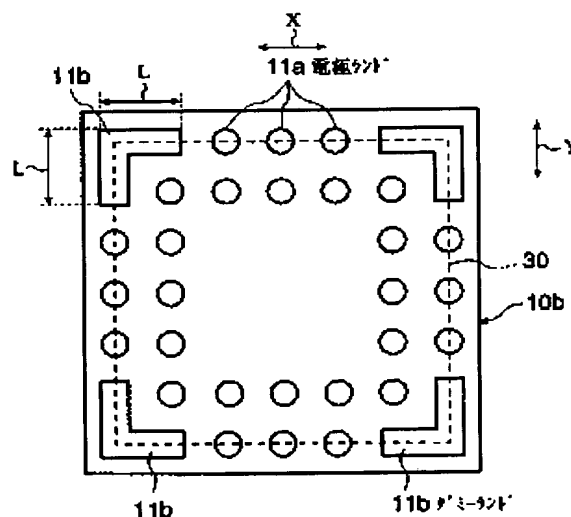
弁理士 岡▲崎▼ 信太郎 (外1名)

(54) 【発明の名称】 インターポーザ基板

(57) 【要約】

【課題】 回路基板との接合強度を向上させるインターポーザ基板を提供すること。

【解決手段】 一端面側10aに半導体チップ30を実装し、他端面側10bに回路基板20と接合するためのランド11が形成されているインターポーザ基板10において、前記ランド11は、回路基板と電気的に接続するための複数の電極ランド11aと、前記電極ランド11aより大きい面積で、実装されている前記半導体チップ30における四隅に当たる領域のみに形成されるダミーランド11bとを有する。



【特許請求の範囲】

【請求項1】 一端面側に半導体チップを実装し、他端面側に回路基板と接合するためのランドが形成されているインターポーザ基板において、

前記ランドは、

回路基板と電気的に接続するため、所定のピッチで形成されている複数の電極ランドと、

前記電極ランドより大きい面積で、実装されている前記半導体チップにおける四隅に当たる領域にのみ形成されるダミーランドとを有することを特徴とするインターポーザ基板。

【請求項2】 前記ダミーランドは、略L字状に形成されている請求項1に記載のインターポーザ基板。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、インターポーザ基板と回路基板の接合に関するものである。

【0002】

【従来の技術】半導体装置のパッケージの一種にLGA (Land Grid Array) がある。このLGAは、半導体パッケージの周辺に端子を有するQFP (Quad Flat Package) に代表される周辺端子型のパッケージに比べて小さい面積で実装することができ、多ピン化が容易なものである。また、LGAは、端子のはんだボールの表面張力によるセルフアライメント効果により一括リフロー表面実装を行うことができる。これらの点から高密度実装基板の部品としてLGAが近年採用されつつある。具体的な用途としては、携帯電話、デジタルビデオカメラ、ミニディスク等の携帯型記録装置、ノートパソコン等があり、さらに産業状

広い範囲で利用されている。

【0003】図5にはいわゆるLGAと呼ばれる半導体装置の一例を示す構成図であり、図5を参照して従来の半導体装置5について説明する。図5の半導体装置5は、インターポーザ基板1、回路基板2、半導体チップ3、配線4等を有している。インターポーザ基板1の一端面側には半導体チップ3が実装されていて、他端面側は回路基板1と電気的に接続されている。半導体チップ3には集積回路が形成されていて、たとえば配線4によりインターポーザ基板1と電気的に接続されている。また、半導体チップ3の上には封止樹脂6が充填されている。

【0004】図6は従来のインターポーザ基板1の他端面側を示す平面図であり、図6を用いてインターポーザ基板1について説明する。図6のインターポーザ基板1の他端面側には略円形状に形成された複数のランド7が格子状に配列されている。ランド7は半田を介して回路基板2と電気的接続をする機能を有している。ここで、ランド7は回路基板2と電気的接続を行う電極ランド7aと、半田への応力を吸収して接合安定性を保持するダ

ミーランド7bからなっている。ここで、ダミーランド7bを設けるのは以下の理由による。

【0005】半導体チップ3が作動すると、熱膨張により半導体チップ3の大きさが変化する。またインターポーザ基板1も電流が流れると熱膨張によりその大きさが変化する。すると、たとえば樹脂からなるインターポーザ基板1とシリコンからなる半導体チップ3では熱膨張係数が違うため、インターポーザ基板1に反りが生じる。このため、インターポーザ基板1のランド7と半田の接合部に応力が発生して、破断が生じることがある。特に、この破断は半導体チップ3の四隅の領域で生じやすく、また半田と電極ランド1aの接合面積が小さければ小さいほど、その傾向は顕著になる。そこで、半導体チップ3の四隅付近に当たるランド7をダミーランド7bとして設定することにより、半田の破断によるインターポーザ基板1と回路基板2の電気的な接続不良を防止するようにしている。

【0006】

【発明が解決しようとする課題】しかし、従来のダミーランド7bは、電極ランド7aとはほぼ同一の形状を有しているため、半田とダミーランド7bの接合面積は小さいものであり、半田への応力を吸収して接合信頼性を保持することは困難であった。すなわち、ダミーランド7bの半田との接合面積は、大きければ大きいほど応力による接続不良を防止することができるのだが、図6においては電極ランド7aとダミーランド7bの接合面積がほぼ同一に形成されているため、半田が破断してしまう恐れがあるという問題がある。

【0007】そこで本発明は上記課題を解消し、回路基板との接合強度を向上させるインターポーザ基板を提供することを目的としている。

【0008】

【課題を解決するための手段】上記目的は、請求項1の発明によれば、一端面側に半導体チップを実装し、他端面側に回路基板と接合するためのランドが形成されているインターポーザ基板において、前記ランドは、回路基板と電気的に接続するため、所定のピッチで形成されている複数の電極ランドと、前記電極ランドより大きい面積で、実装されている前記半導体チップにおける四隅に当たる領域にのみ形成されるダミーランドとを有するインターポーザ基板により、達成される。

【0009】請求項1の構成によれば、まず、ダミーランドの大きさが電極ランドより大きく形成されている。これにより、ダミーランドに接合されている半田に、半導体チップとインターポーザ基板の熱膨張係数差による応力が加わったとしても、半田が破断することがなくなる。さらに、ダミーランドは半導体チップにおける四隅の部位のみに形成されている。これにより、インターポーザ基板におけるその他の領域には電極ランドを形成することができる。

【0010】上記目的は、請求項2の発明によれば、請求項1の構成において、前記ダミーランドは、略し字状に形成されているインターポーザ基板により、達成される。請求項2の構成によれば、ダミーランドがし字状に形成されている。このため、ダミーランドを半導体チップの四隅であって辺方向に沿うように設けることで、熱膨張係数差による応力が発生した場合、応力が働く方向に沿ってダミーランドを設けるようにする事ができる。

【0011】

【発明の実施の形態】以下、本発明の好適な実施の形態を添付図面に基づいて詳細に説明する。なお、以下に述べる実施の形態は、本発明の好適な具体例であるから、技術的に好ましい種々の限定が付されているが、本発明の範囲は、以下の説明において特に本発明を限定する旨の記載がない限り、これらの形態に限られるものではない。

【0012】図1は本発明のインターポーザ基板を用いた半導体装置の好ましい実施の形態を示す構成図であり、まず図1を参照して半導体装置50について説明する。図1の半導体装置50は、インターポーザ基板10、回路基板（マザーボード）20、半導体チップ30等を有している。インターポーザ基板10の一端面側10aには半導体チップ30が実装されており、他端面側10bは半田により回路基板20と接合されている。半導体チップ30には受動素子及び能動素子からなる集積回路が形成されており、配線12によりインターポーザ基板10と電気的に接続されている。また、半導体チップ30はインターポーザ基板10に対して封止樹脂40により封止されている。

【0013】図2は図1のインターポーザ基板10の他端面側10bを示す平面図であって、インターポーザ基板10の他端面側10bに形成されているランド11は、電極ランド11aとダミーランド11bからなっている。電極ランド11aはたとえば円形状に形成されており、所定のピッチで複数形成されている。一方、ダミーランド11bは、半導体チップ30における四隅に当たる領域に形成されて、かつ、電極ランド11aより大きい面積でたとえば略し字状に形成されている。すなわち、ダミーランド11bは電極ランド11aの複数のピッチ間にまたがった長さしを有しており、かつ、半導体チップ30の辺方向（矢印X方向及び矢印Y方向）に沿って形成されている。

【0014】これにより、ダミーランド11bと半田との接合面積が大きくなるため、熱膨張による半田の破断を防止して、接合強度を向上させることができる。また、ダミーランド11bは半田にかかる応力方向、すなわちインターポーザ基板10及び半導体チップ30の膨張方向にそって形成されているため、ダミーランド11bと半田の接合強度をさらに高めて、半田の破断を防止し接合信頼性を向上させることができる。すなわち、ダ

ミーランド11bは、半田への応力を吸収する機能と機械的な接合安定性を保持させる機能を発揮することになる。

【0015】上記実施の形態によれば、ダミーランド11bと半田の接合面積を広く取るとともに、熱膨張による応力が働く方向に向かってダミーランド11bを形成することで、熱応力による疲労破壊を防止するとともに、インターポーザ基板10と回路基板20の接合強度を向上させることができる。これにより、インターポーザ基板10及び回路基板20の接続寿命が長くなり、電気的な導通信頼性を向上させることができる。さらに、ダミーランド11bは半導体チップ30における四隅の部位のみに形成されているので、インターポーザ基板10におけるその他の領域には電極ランド11aを形成することができ、半導体装置50の高集積化を実現することができる。

【0016】本発明の実施の形態は、上記実施の形態に限定されない。図2において、ダミーランド11bはたとえば半導体チップ30の四隅に当たる部位に4つ形成されているが、たとえば半導体チップ30の対角線上に2つだけ形成するようにしても良い。また、ダミーランド11bはたとえば略し字状に形成されているが、たとえば略三角形状に形成されるようにしても良い。

【0017】さらに、インターポーザ基板10におけるダミーランド11bの配置位置は、半導体チップ30の大きさによって変更することができる。たとえば、図3と図4は、図1の半導体チップ30より小さい場合の半導体装置50及びインターポーザ基板10を例示している。半導体チップ30の大きさに対応して、図2のインターポーザ基板10においては外周側にダミーランド11bが形成されているが、図5においては、インターポーザ基板10の内周側にダミーランド11bが配置されている。このように、ダミーランド11bの配置位置は、半導体チップ30の大きさに合わせて適当に配置変更してもよい。

【0018】

【発明の効果】以上説明したように、本発明によれば、インターポーザ基板にダミーランドを所定の大きさ及び位置に形成することにより、半田の破断を防止して回路基板との接合強度を向上させることができる。

【図面の簡単な説明】

【図1】本発明の半導体装置の好ましい実施の形態を示す構成図。

【図2】本発明のインターポーザ基板の好ましい実施の形態を示す平面図。

【図3】本発明の半導体装置の別の実施の形態を示す構成図。

【図4】本発明のインターポーザ基板の別の実施の形態を示す平面図。

【図5】従来の半導体装置の一例を示す構成図。

(4)

特開2000-243862

6

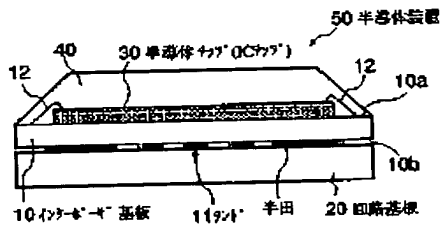
5
【図6】従来のインターポザ基板の一例を示す平面図。

【符号の説明】

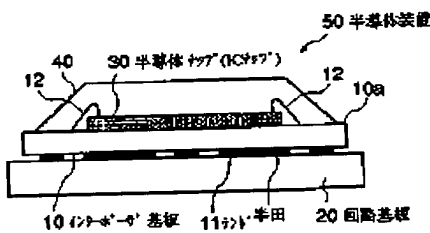
10・・・インターポザ基板、11・・・ランド、1*

*1a・・・電極ランド、11b・・・ダミーランド、20・・・回路基板、30・・・半導体チップ、40・・・配線、50・・・半導体装置。

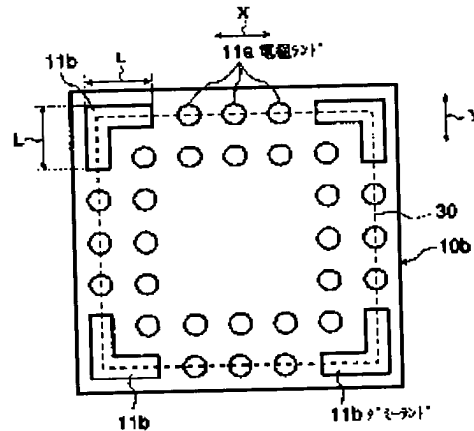
【図1】



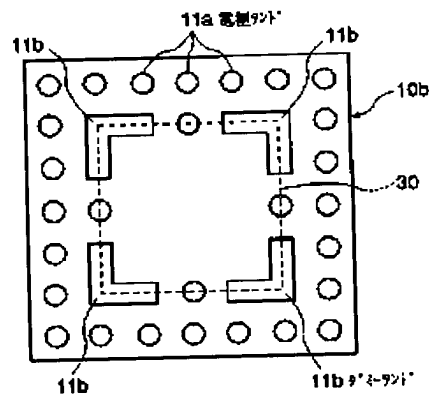
【図3】



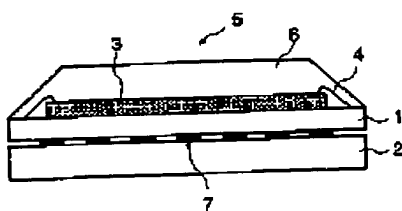
【図2】



【図4】



【図5】



(5)

特開2000-243862

【図6】

